

Verhaltensmodellierung und Simulation eines Fractional-N-Teilers mit $\Delta\Sigma$ -Modulator in einer PLL für Empfänger-Anwendungen

Christoph Spiegel · chspiegel@gmx.net
Universität Duisburg-Essen



Grundlagen

Simulink-Simulation

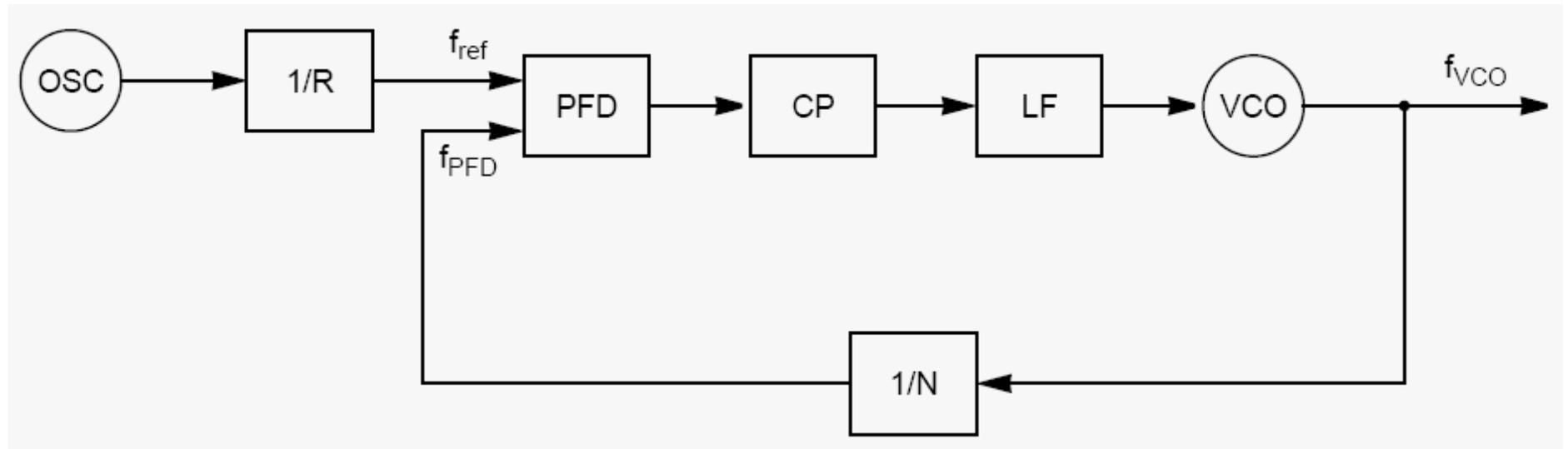
VHDL-Simulation

Zusammenfassung

- Grundlagen
 - PLL (phase locked loop)
 - Integer-N-PLL
 - Fractional-N-PLL
 - $\Delta\Sigma$ -Modulatoren
 - erster Ordnung
 - höherer Ordnung
 - MASH-Struktur (multistage noise shaping)
 - Dithering (Glättung)

Fractional-N-PLL mit $\Delta\Sigma$ -Modulator

Grundlagen: PLL



OSC Referenzoszillator

1/R Referenzteiler

PFD Phasen-Frequenz-Detektor

CP Ladungspumpe

LF Schleifenfilter

1/N Hauptteiler

VCO spannungsgesteuerter Oszillator

- Integer-N-PLL
 - Hauptteiler N ist eine ganze Zahl
 - Frequenzteiler wird als digitaler Zähler realisiert
 - kleinstmöglicher Kanalabstand $\Delta f = f_{ref}$
 - Problem: bei kleinen Referenzfrequenzen f_{ref} ist die Schleife langsam
 - Abhilfe: gebrochenzahliger Hauptteiler
 - führt zu Fractional-N-PLL

- Fractional-N-PLL
 - Hauptteiler N ist eine gebrochene Zahl
 - Problem: gebrochenzahliger Zähler nicht realisierbar
 - Lösung: Umschalten zwischen zwei ganzzahligen Teilern, die im zeitlichen Mittel gewünschten gebrochenzahligen Teilerwert ergeben
 - kleinstmöglicher Kanalabstand $\Delta f = f_{ref} \cdot \Delta N$
 - Vorteil: es kann eine höhere Referenzfrequenz f_{ref} benutzt werden, die Schleife wird schneller
 - ΔN : „Auflösung“ des Fractional-Teilers

- Fractional-N-PLL
 - Funktionsweise (Beispiel)
 - soll der Teilerwert $N = 450,1$ erreicht werden, muss der Teiler neunmal durch 450 und einmal durch 451 teilen
 - im zeitlichen Mittel ergibt sich der gewünschte gebrochenezahlige Wert
 - durch das deterministische Umschalten des Teilers entstehen „Fractional Spurs“
 - Abhilfe: Ansteuerung des Teilers durch $\Delta\Sigma$ -Modulator

- Vergleich Integer- / Fractional-N-PLL
 - Beispiel: GSM900-Band, Kanalabstand 200 kHz
 - Integer-N-PLL ($f_{ref} = 200$ kHz, $\Delta N = 1$)

N	4500	4501	4502	...	4548	4549	4550
f_{VCO} / MHz	900,0	900,2	900,4	...	909,6	909,8	910,0

TABELLE 1. Zuordnung von Teilerwerten N zu Frequenzen f_{VCO} am Oszillatorausgang bei einer Integer-N-PLL ($f_{ref} = 200$ kHz)

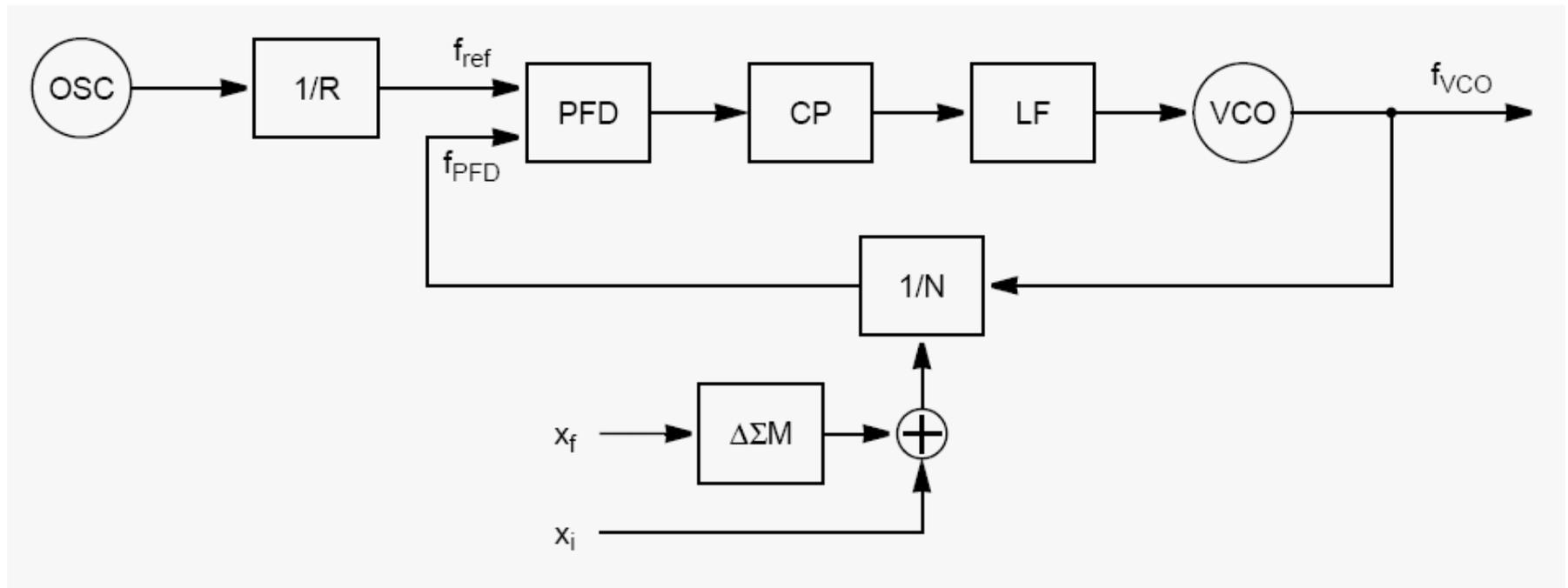
- Fractional-N-PLL ($f_{ref} = 2$ MHz, $\Delta N = 0,1$)

N	450,0	450,1	450,2	...	454,8	454,9	455,0
f_{VCO} / MHz	900,0	900,2	900,4	...	909,6	909,8	910,0

TABELLE 2. Zuordnung von Teilerwerten N zu Frequenzen f_{VCO} am Oszillatorausgang bei einer Fractional-N-PLL ($f_{ref} = 2$ MHz)

- $\Delta\Sigma$ -Modulator greift in den Hauptteiler N ein
 - nur gebrochenzahliger Anteil x_f wird auf den Modulator gegeben
 - $\Delta\Sigma$ -Modulator setzt x_f in eine Folge ganzer Zahlen $n_i \in \mathbf{M}$ um (\mathbf{M} enthält 2^μ verschiedene Werte)
 - μ ist die Modulatorordnung, üblich sind Modulatoren erster, zweiter und dritter Ordnung
 - es gilt für den zeitlichen Mittelwert des Modulatorausgangs: $x_f = \bar{n}_i = \lim_{N \rightarrow \infty} \frac{1}{N} \sum_{i=1}^N n_i$

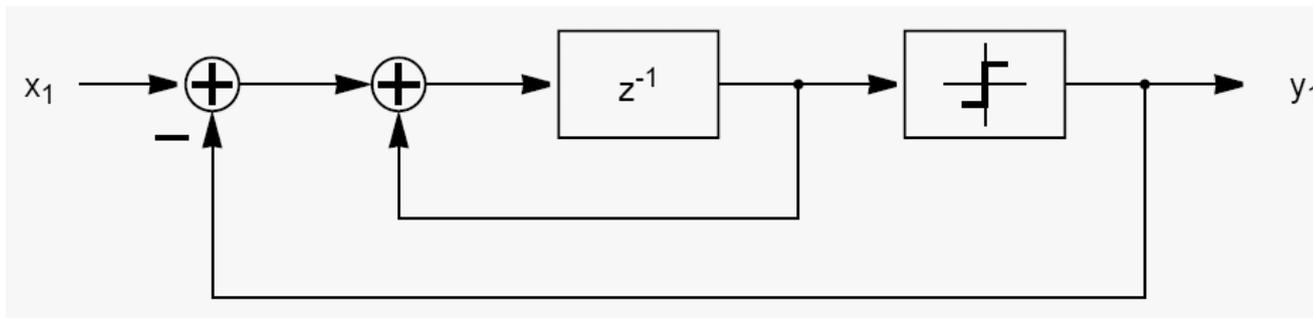
- $\Delta\Sigma$ -Modulator greift in den Hauptteiler N ein



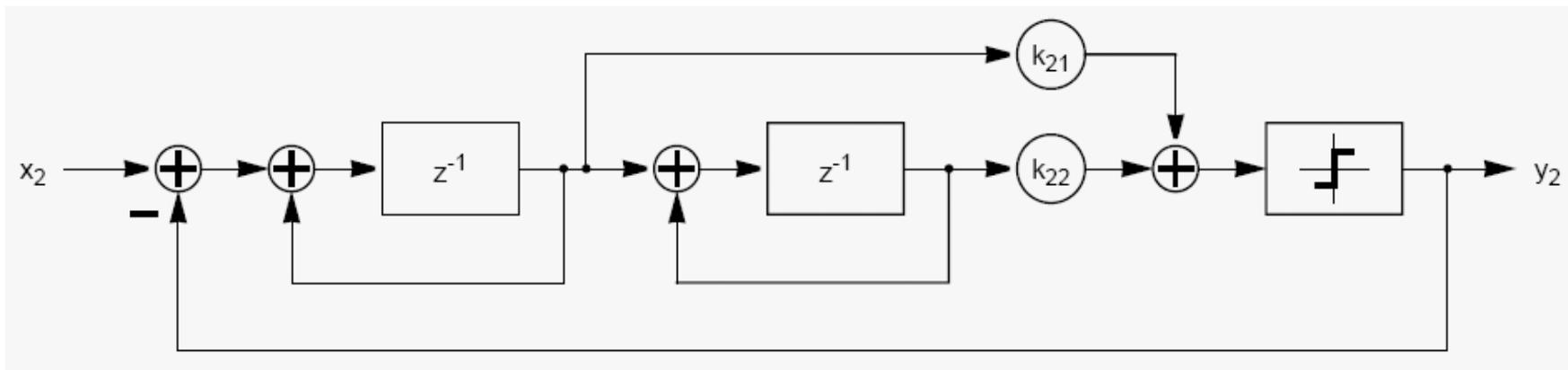
- Beispiel: $x_f = 0,1$ wird umgesetzt in eine Folge
2, -4, -2, 3, 0, 3, -1, -3, 2, 1, ...

- Realisierung

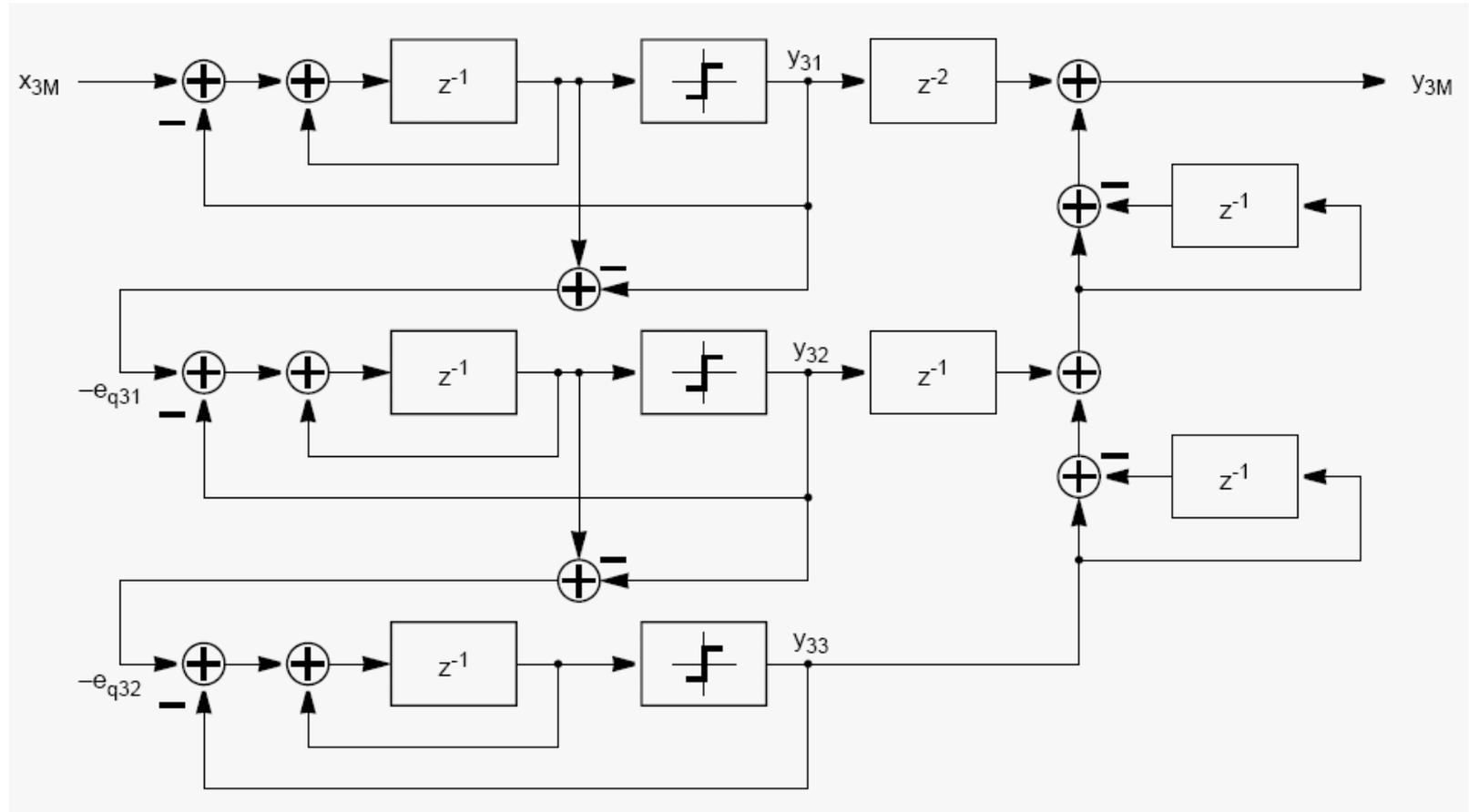
- $\Delta\Sigma$ -Modulator erster Ordnung



- $\Delta\Sigma$ -Modulator zweiter Ordnung



- paralleler Aufbau (MASH 1–1–1 $\Delta\Sigma$ -Modulator)



- durch die „Noise Cancellation Logic“ wird der Quantisierungsfehler zweier Stufen eliminiert

- Stabilität
 - $\Delta\Sigma$ -Modulator erster Ordnung
 - stets stabil (sofern x_f vom Quantisierer abgebildet werden kann)
 - $\Delta\Sigma$ -Modulator zweiter (dritter) Ordnung
 - stabiler Bereich in Abhängigkeit von $k_{\mu 1}$, $k_{\mu 2}$ (und $k_{\mu 3}$) kann berechnet werden
 - MASH 1–1–1 $\Delta\Sigma$ -Modulator
 - stets stabil, da er aus drei Modulatoren erster Ordnung besteht

- Dithering
 - durch Verwendung eines Pseudo-Noise-Generators am Modulatoreingang kann das Ausgangsspektrum geglättet werden
 - implementiert wurde „LSB-Dithering“, d. h. nur das niedrigstwertige Bit des Eingangsworts wird manipuliert
 - toggle bit dithering (einfach, führt aber zu Fehler)
 - add / subtract dithering (aufwendiger, fehlerfrei)

Grundlagen

Simulink-Simulation

VHDL-Simulation

Zusammenfassung

- Simulink-Simulation
 - Modellierung
 - Simulationsumgebung
 - Ergebnisse
 - Simulationsparameter
 - $\Delta\Sigma$ -Modulator erster Ordnung
 - $\Delta\Sigma$ -Modulatoren höherer Ordnung
 - MASH 1–1–1 $\Delta\Sigma$ -Modulator

- Simulink-Simulation
 - Modellierung
 - die Beschreibung der Modulatoren im z-Bereich kann direkt in die Simulink-Umgebung übernommen werden
 - Simulationsumgebung
 - es wurde eine Simulationsumgebung erstellt, mit der eigenständige $\Delta\Sigma$ -Modulatoren simuliert werden können
 - ein Matlab-Skript stellt das Leistungsdichtespektrum des Signals am Modulatorausgang dar

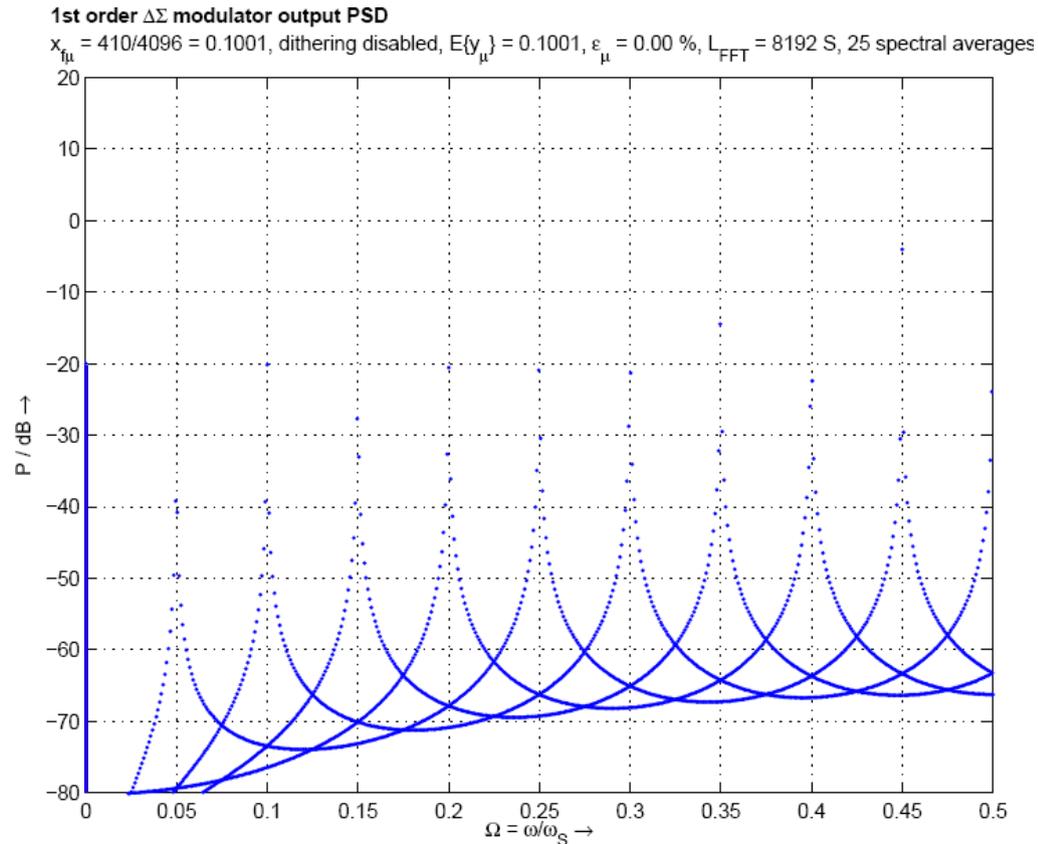
- Simulink-Simulation

- Ergebnisse

- Simulationsparameter

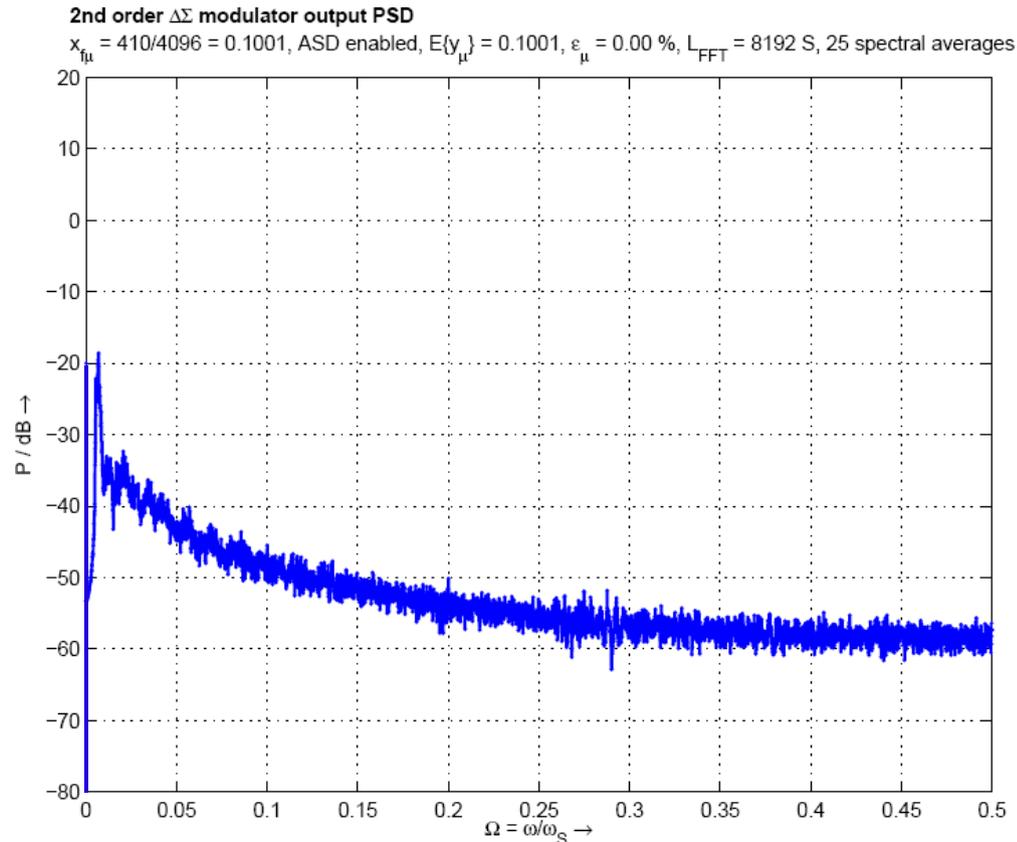
- Simulationsergebnisse hier für $x_f = 410/4096 \approx 0,1 = -20$ dB
 - andere Werte x_f führen i. A. zu unterschiedlichen Ausgangsspektren
 - Wortbreite des gebrochenzahligen Anteils: 12 bit
 - Betrachtet wird das jeweilige Leistungsdichtespektrum des Signals am Modulatorausgang
 - FFT-Länge: 8192 S, 25 Mittelungen (spectral averages)
 - zunächst Ergebnisse ohne Verwendung von Dithering

- $\Delta\Sigma$ -Modulator erster Ordnung



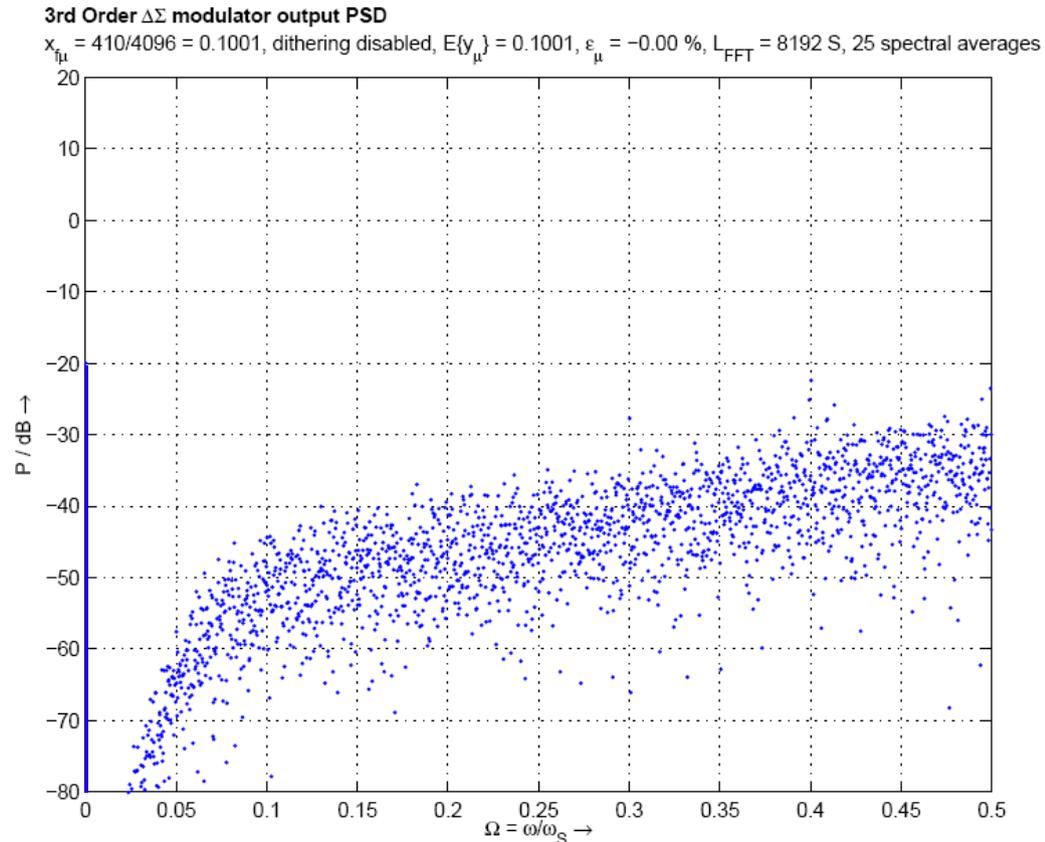
– deutliche Fractional Spurs erkennbar

- $\Delta\Sigma$ -Modulator zweiter Ordnung



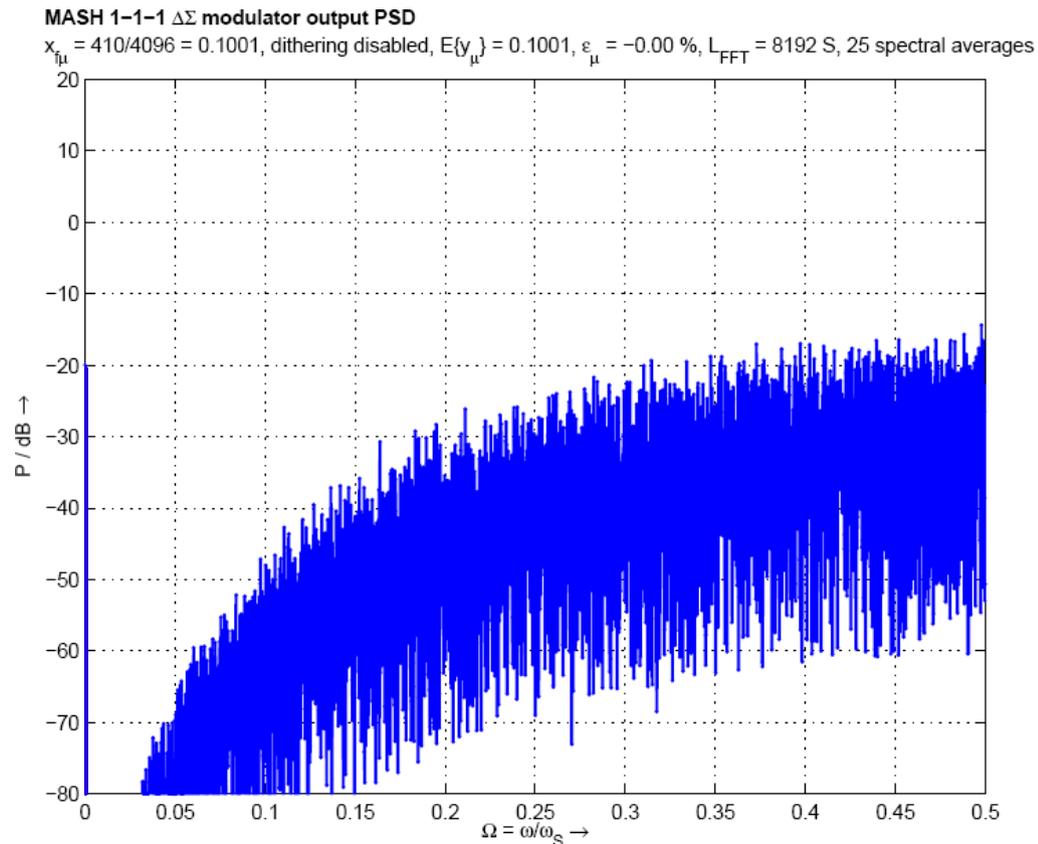
- Anstieg der Energie im trägernahen Bereich
- Unterdrückung der Fractional Spurs

- $\Delta\Sigma$ -Modulator dritter Ordnung



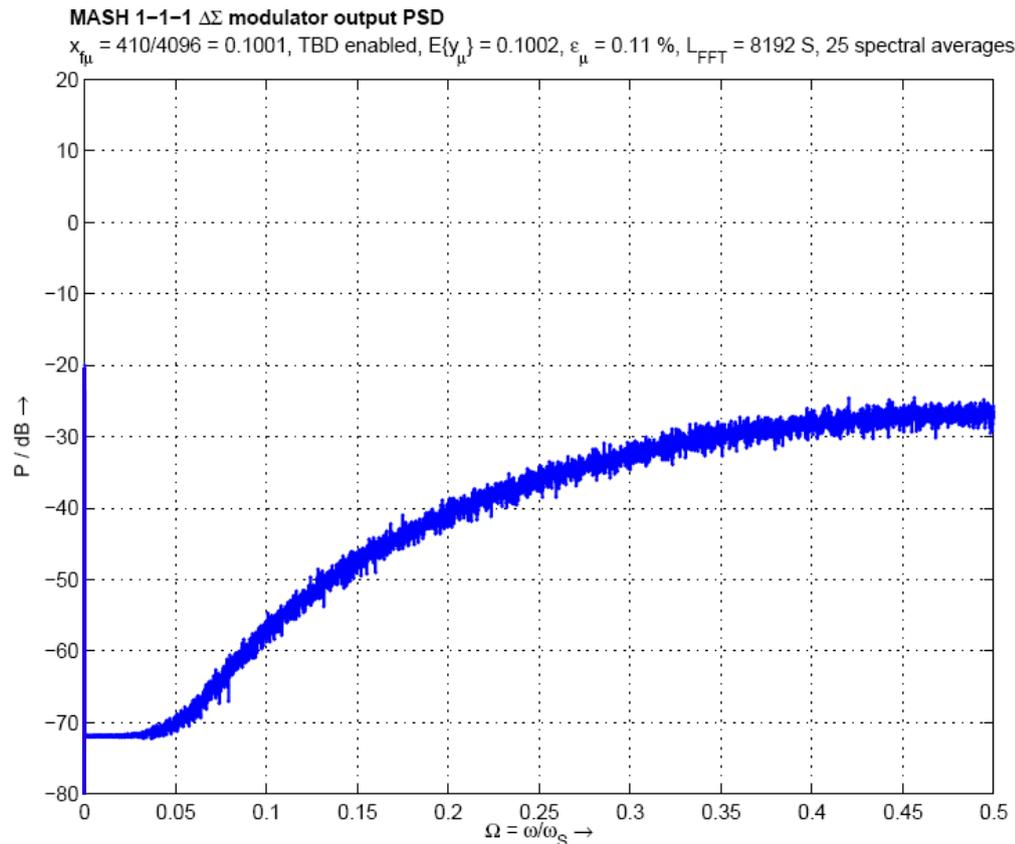
- Hochpasscharakteristik erkennbar
- Unterdrückung der Fractional Spurs

- MASH 1–1–1 $\Delta\Sigma$ -Modulator dritter Ordnung



- Hochpasscharakteristik erkennbar
- Unterdrückung der Fractional Spurs

- MASH 1–1–1 (mit „toggle bit dithering“)



- glattes, spurious-freies Ausgangsspektrum durch Dithering
- Besonderheit: identische Spektren für alle x_f

Grundlagen

Simulink-Simulation

VHDL-Simulation

Zusammenfassung

- VHDL-Simulation
 - MASH 1–1–1 $\Delta\Sigma$ -Modulator
 - Synthese der Digitalschaltung
 - Ergebnisse

- VHDL-Simulation
 - MASH 1–1–1 $\Delta\Sigma$ -Modulator
 - für die VHDL-Simulation wurde der MASH 1–1–1 Modulator ausgewählt, da dieser bei der Simulink-Simulation die besten Ergebnisse liefert
 - Stabilität
 - Form des Ausgangsspektrums (Noise Shaping)

- VHDL-Simulation
 - Ergebnisse
 - das Verhalten des MASH 1–1–1 $\Delta\Sigma$ -Modulators wird durch die VHDL-Simulation verifiziert
 - das Design des MASH-Modulators wird für einen künftigen Radio-Testchip herangezogen

Grundlagen

Simulink-Simulation

VHDL-Simulation

Zusammenfassung

- $\Delta\Sigma$ -Modulatoren eignen sich besonders für den Einsatz in Fractional-N-PLLs
- Fractional Spurs werden bei ausreichender Modulatorordnung weitestgehend unterdrückt
- Dithering reduziert Spurs zusätzlich
- insbesondere der MASH 1–1–1 $\Delta\Sigma$ -Modulator arbeitet stabil und verfügt über ausgeprägtes Noise Shaping \Rightarrow somit optimaler Modulator für die Frequenzsynthese

Vielen Dank für Ihre Aufmerksamkeit!