

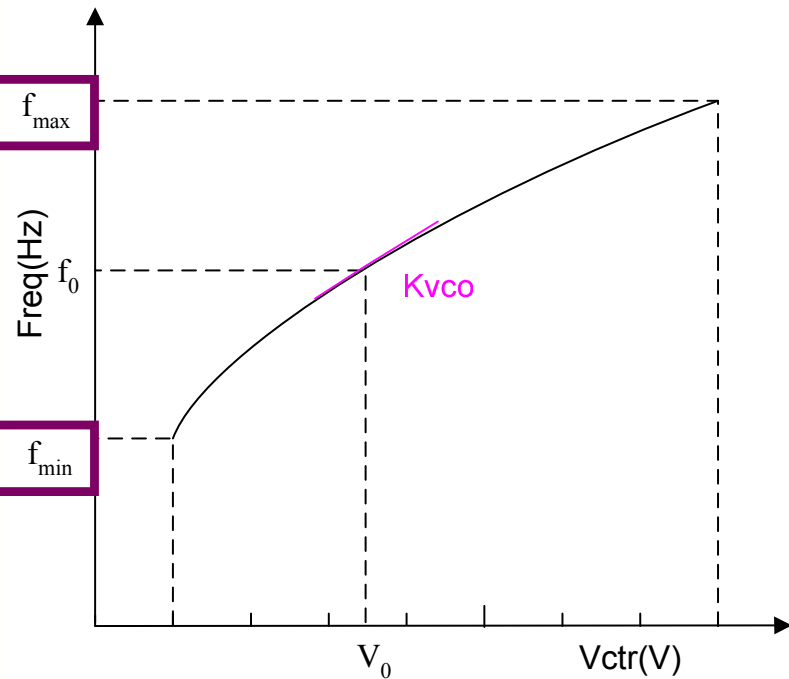
Entwurf eines LC-VCOs für ein Lesegerät für RFID-Tags

Wei Wu

Übersicht

- Einleitung (VCO, Eigenschaften)
- VCO- & Phasenrauschen-Theorie
- Schaltungsentwurf beruhend auf Topologie-Vergleich
- Simulationsergebnisse
- Layout-Entwurf
- Zusammenfassung

Funktion eines VCOs



- Frequenz einstellbar durch Spannung

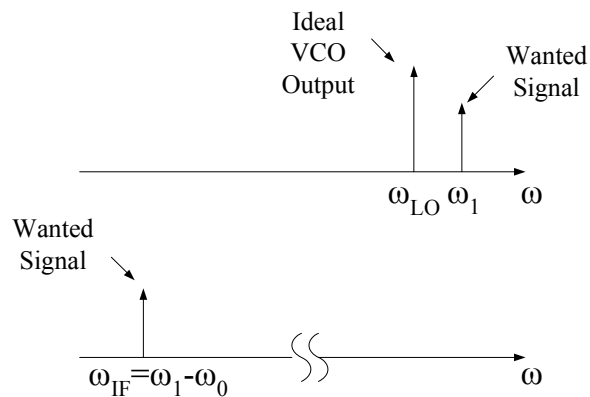
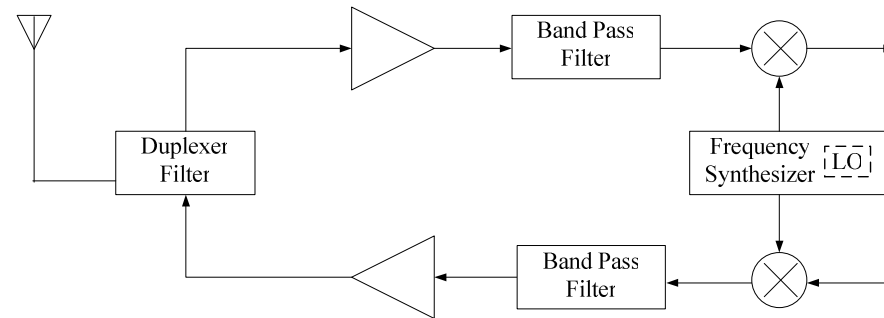
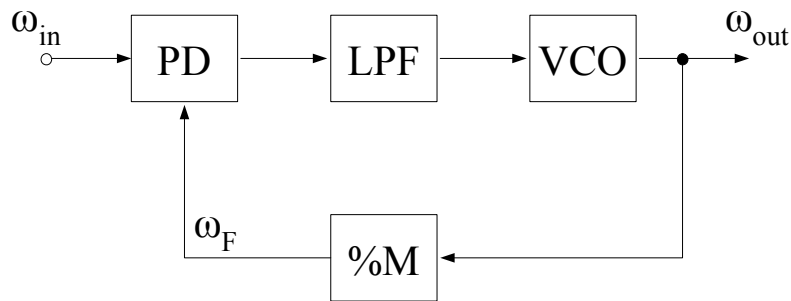
$$f_{out} = f_0 + K_{VCO}(V_{ctr} - V_0)$$

- ideal: lineare Funktion von gesteuerte Spannung
- K_{VCO} [1/s/V]: VCO-Steilheit, Empfindlichkeit
- Tuning-Bereich
 - einstellbare $[f_{min}, f_{max}]$
- Sinusförmiges Signal
 - Frequenz \rightarrow Phase

$$y_t = A \cos(2\pi(f_0 - K_{VCO}V_0)t + 2\pi K_{VCO} \int_{-\infty}^t V_{ctr} dt)$$

Anwendung des VCOs

- VCO ist Hauptbestandteil in PLL
- PLL als LO in Sender-Empfänger-System



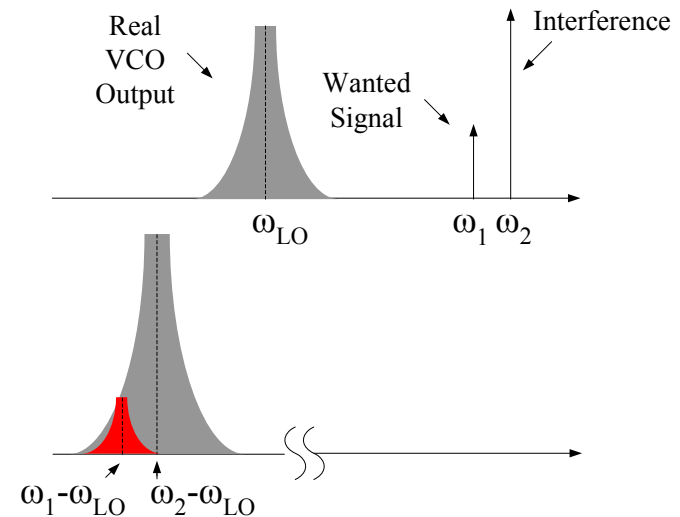
Anforderung:

einstellbare und genaue LO-Frequenz für verschiedene Kanäle
z.B. Downconversion
Ideales Outputsspektrum: Impuls

Phasenrauschen des VCOs

- Realität: einer schlimmer Fall
PN → Seitenbänder, Störung → Überschwemmung
- Anforderung vom Empfänger
 - PN ↓ → Signal zu erkennen
- Phasenrausch-Spezifikation
 - bei $\Delta\omega = \omega_2 - \omega_1$ von ω_{LO} ($\omega = 2\pi f$)
 - in 1 Hz Bandbreite
 - relativ zur Trägerleistung in dB

$$PN = 10 \log_{10} \left(\frac{S_{YY}(\omega_{LO} + \Delta\omega)}{P_{sig}} \right) \text{ dBc/Hz}$$



Specification	Minimum	Nominal	Maximum
Center Frequency		1.8 GHz	
Phase noise at 200 kHz offset frequency			-114 dBc/Hz
Analog tuning range	80 MHz		
Operating voltage	2.7 V	3 V	3.6 V
Temperature	-40°C	27°C	125°C

VCO-Theorie

- Zur Start-Dimensionierung eines VCOs
- One-Port Modell: Negativ-Gm LC-VCO

$$R_p(Q_{tank}, L, f_0) \quad R_{in} = \frac{-2}{g_m}$$

- Anschwing-Bedingung
 - Selbsterregung durch Thermisches Rauschen

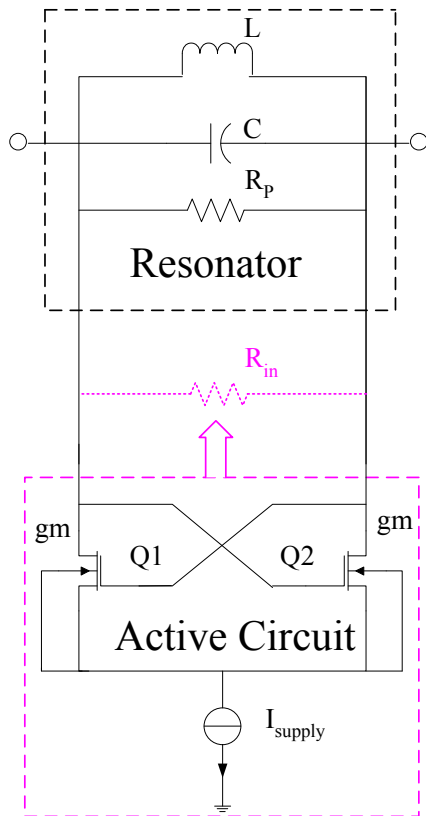
Leitwert $\frac{1}{R_{in}} + \frac{1}{R_p} < 0$

also $g_m > \frac{2}{R_p}$

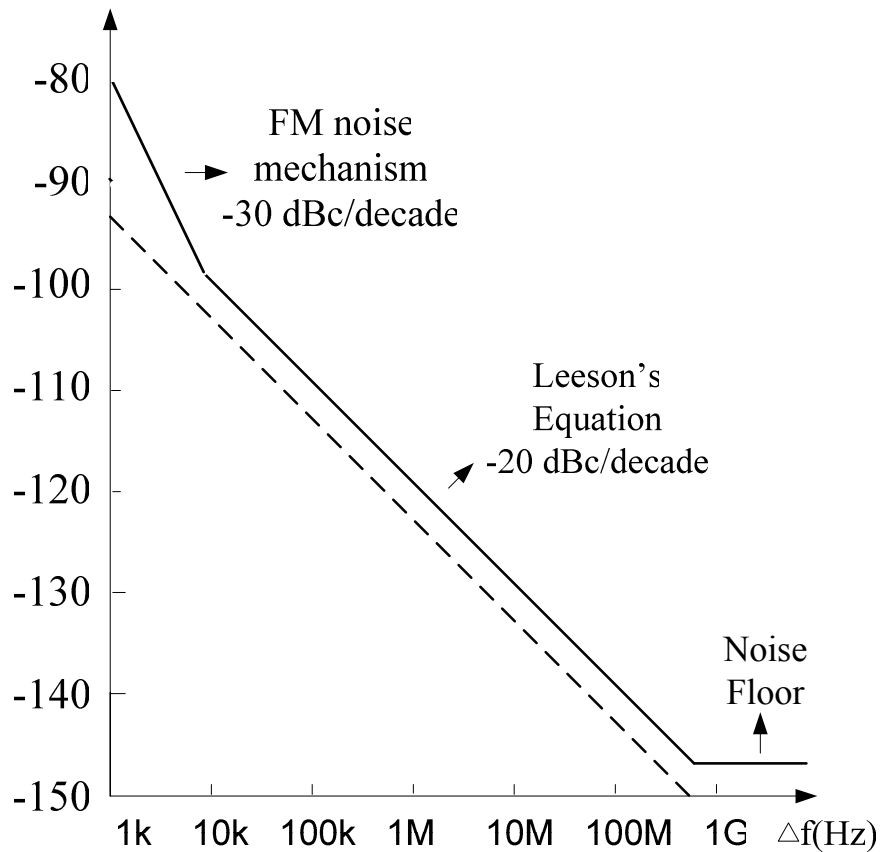
- Amplituden-Begrenzung

$$P_{verlust,LC}(V_{spitze}, R_p) = P_{zugefuehrt}(V_{spitze}, I_{supply})$$

V_{spitze} : maximale Amplitude bei stabiler Oszillation



Phasenrausch-Theorie



- Zur Start-Dimensionierung eines VCOs
- Thermisches Rauschen des LC-Tank
 - Leeson's Gleichung

$$L\{\Delta f\} = 10 \log_{10} \left(\frac{2kT}{P_{\text{verlust,LC}}} \left(\frac{f_0}{2Q_{\text{tank}} \Delta f} \right)^2 \right)$$
 - Phasenrausch-Limit
- unberücksichtigte Rauschquellen
 - Rauschen von I_{supply}
 - Rauschen der gekoppelten Transistoren
 - Rauschen vom LC-VCO Buffer (Noise Floor)
- FM-Rausch-Mechanismus
 - LC-VCO ist empfindlich für Flicker-Noise
- Design-Ziel:
 - nahe am Phasenrausch-Limit

Start-Dimensionierung des LC-VCOs

- Zuverlässiges Anschwingen des LC-VCO (VCO-Theorie)
 - Sicherheitsfaktor von ca. 3

$$g_m = 3 \frac{2}{R_p} = 25.26 \text{ mS}$$

- Phasenrauschen von -114 dBc/Hz (Phasenrausch-Theorie)
 - Sicherheitsabstand & Stromverbrauch
 - Leeson's Gleichung & Amplituden-Begrenzung

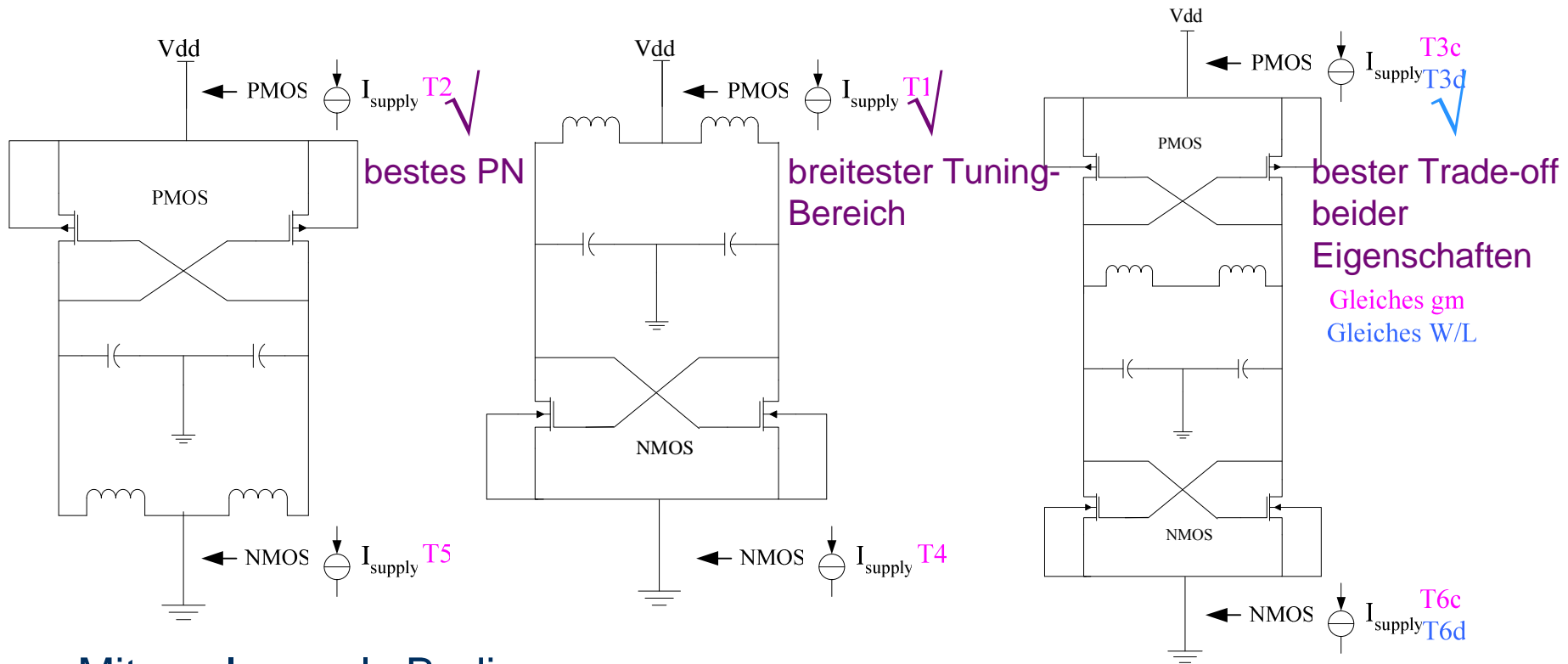
$$PN(P_{\text{verlust,LC}}, Q_{\text{tank}}, f_0, \Delta f)$$

$$\rightarrow P_{\text{verlust,LC}}(V_{\text{spitze}}, R_p) = P_{\text{zugeführt}}(V_{\text{spitze}}, I_{\text{supply}})$$

$$\rightarrow I_{\text{supply}}$$

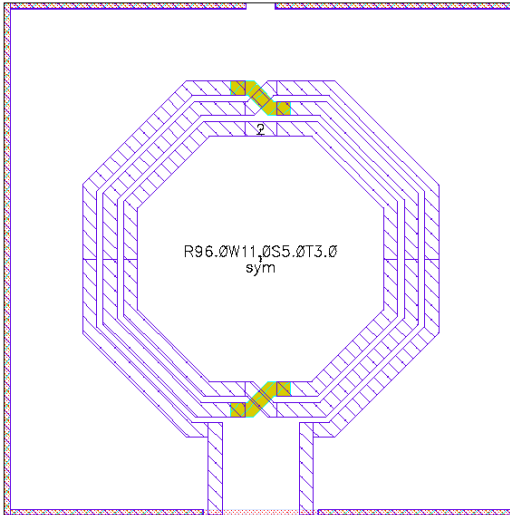
$$I_{\text{supply}} = 10 \text{ mA} \quad \text{for } -121.5 \text{ dBc/Hz}$$

1. Topologie-Vergleich

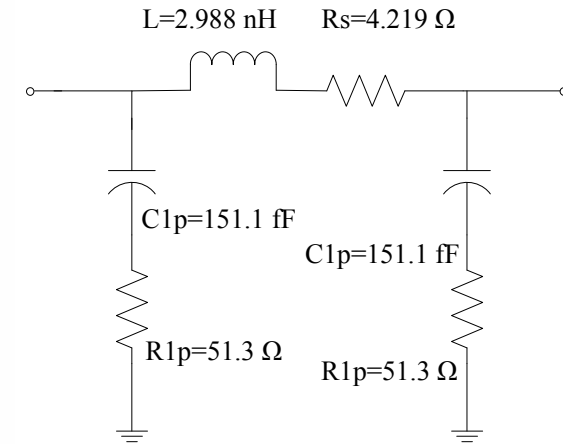


- Mit g_m , I_{supply} als Bedingungen:
Transistor-Dimensionierung: $g_m \rightarrow W/L$ Verhältnis
- Kombination von Transistorarten in AC und SS: 8 LC-VCO Topologien (Bilden)
- Vergleich von Topologie-Eigenschaften: PN, Tuning-Bereich, V_{spitze}
- Mit Rücksicht auf Design-Einschränkungen: $V_{dsat,ss}$ (W/L Verhältnis)

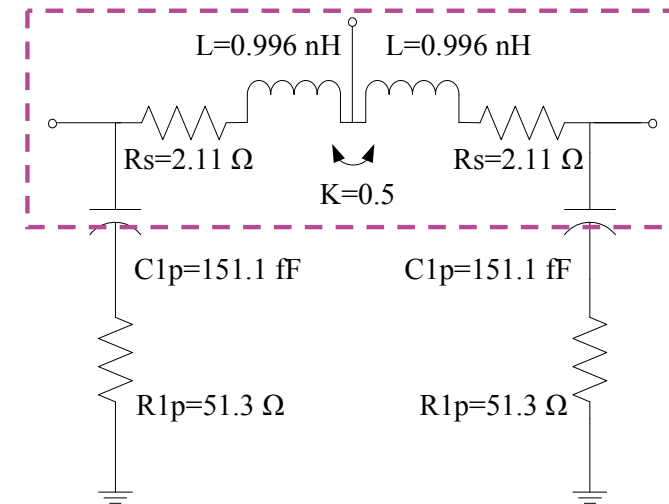
Spulen-Modell



Geometrical parameters	
Outer radius	139 μm
Inner radius	96 μm
Metal width	11 μm
Metal spacing	5 μm
Number of turns	3
On-chip area	400*400 μm ²
Electrical parameters	
Inductance	2.988 nH
Differential Q at 1.8 GHz	7.62
Self resonance frequency	13.75 GHz

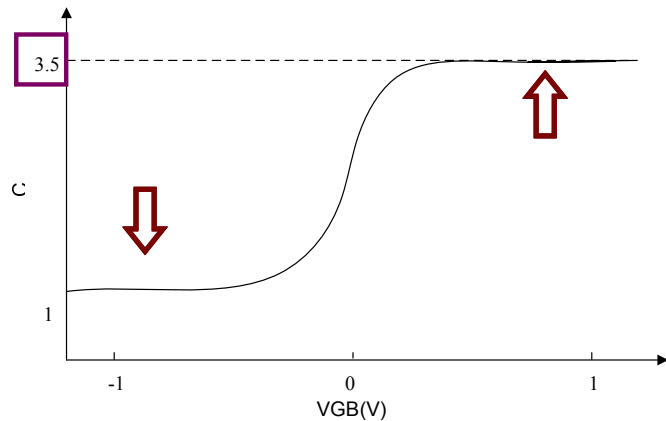


- Layout, Parameter und π -Modell sind gegeben
- Simulationsmodell der symmetrischen Spule ist modifiziert mit Koppelfaktor von 0,5



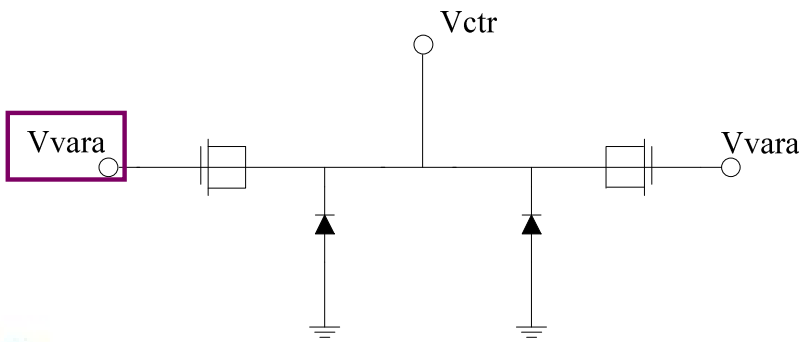
Varaktorarten

- MOS-Varaktor C-VGB Kurve

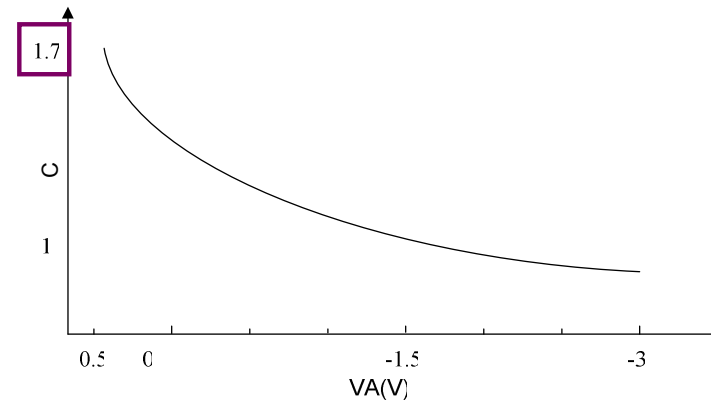


- MOS-Varaktor Schaltung
 - Design-Einschränkung:

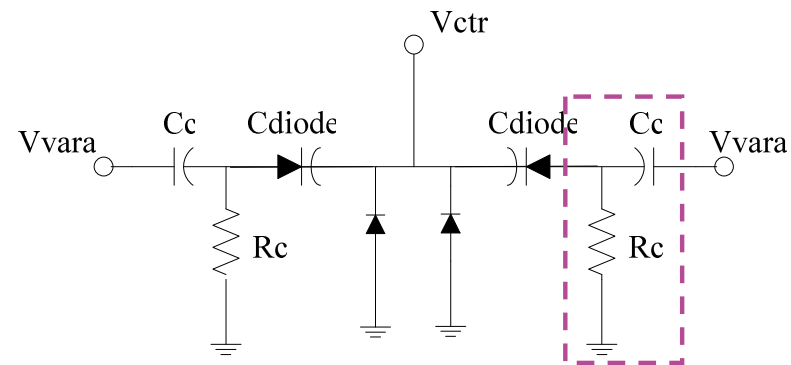
V_{vara} : ca. 1 V unter V_{dd}



- Dioden-Varaktor C-VA Kurve



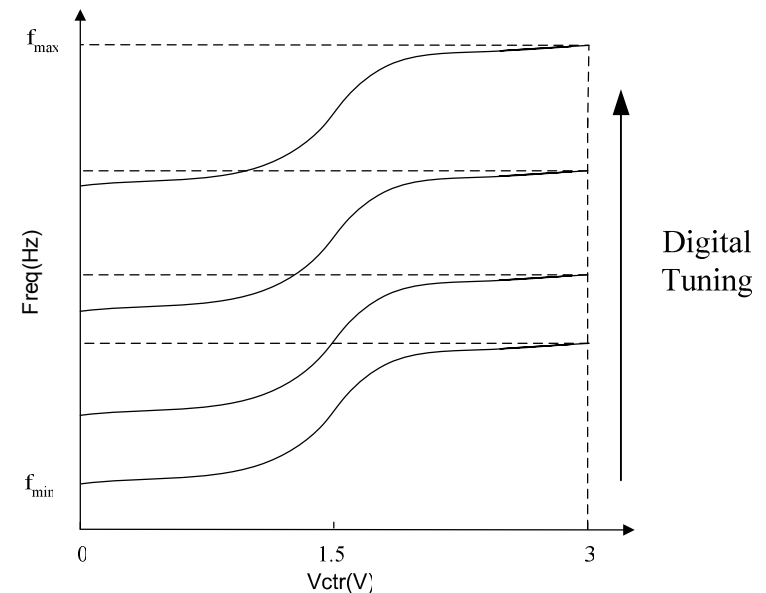
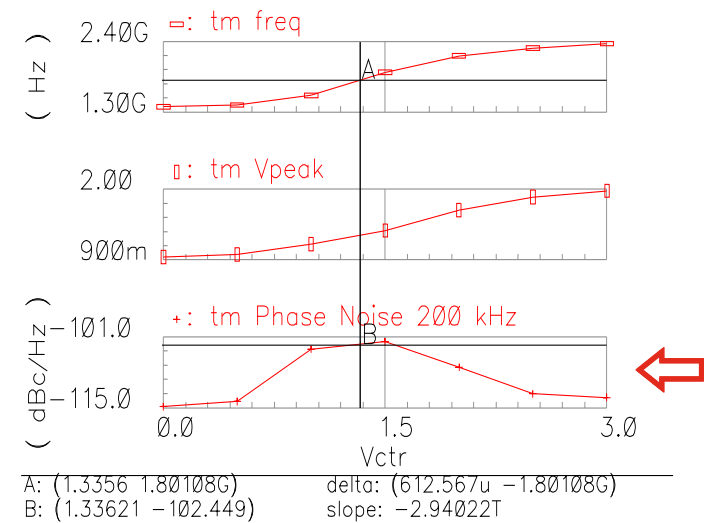
- Dioden-Varaktor Schaltung
 - AC-Coupling circuit



Varaktor-Design

- Probleme: Nur Analog-Tuning
 - z.B. MOS-Varaktor (Bild)
 - Großes K_{VCO} → Schlechtes Phasenrauschen
 - Dioden-Varaktor
 - Tuningbereich < Prozessschwankungen
- Lösung: Digital- und Analog-Tuning (Bild)
 - Digital-Tuning ($K_{VCO} \downarrow$)
 - MOS-Varaktor (C-VGB)
 - Analog-Tuning
 - MOS-Varaktor oder Dioden-Varactor
- Design Einschränkungen
 - V_{vara} (Digital-MOS-Varaktor)
 - $V_{\text{dsat,ss}}$ (Stromspiegel): Flächenbedarf
 - geeignete **Topologien** für LC-VCO:
 - T1 (SS: PMOS, AC: NMOS)
 - T5 (SS: NMOS, AC: PMOS)

Performances

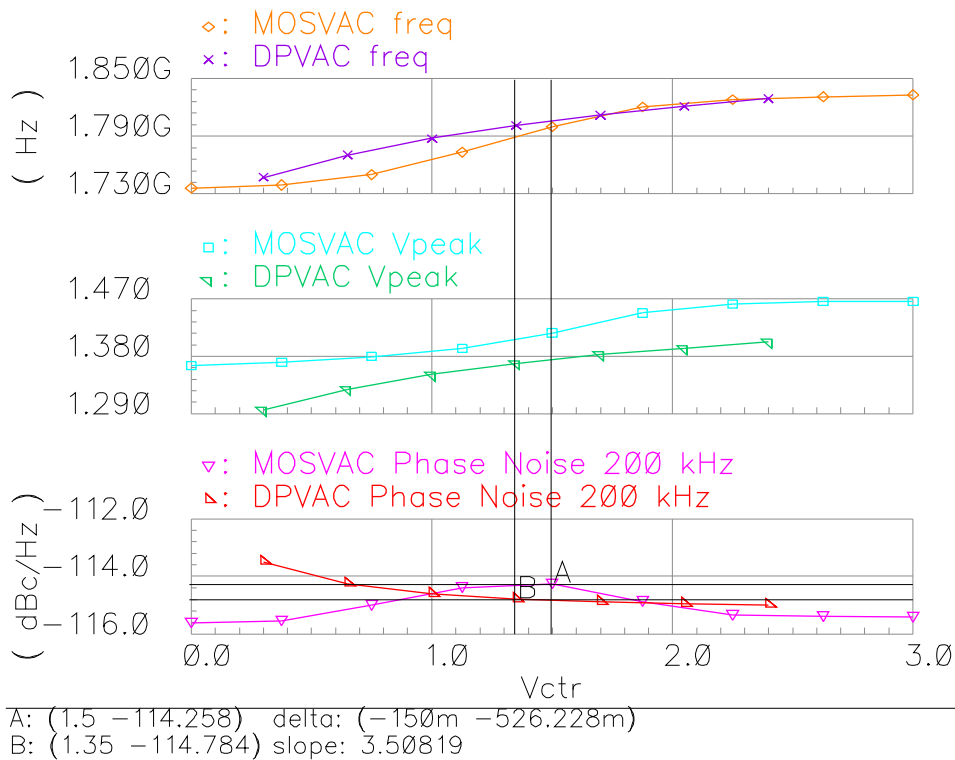


2. Topologie-Vergleich

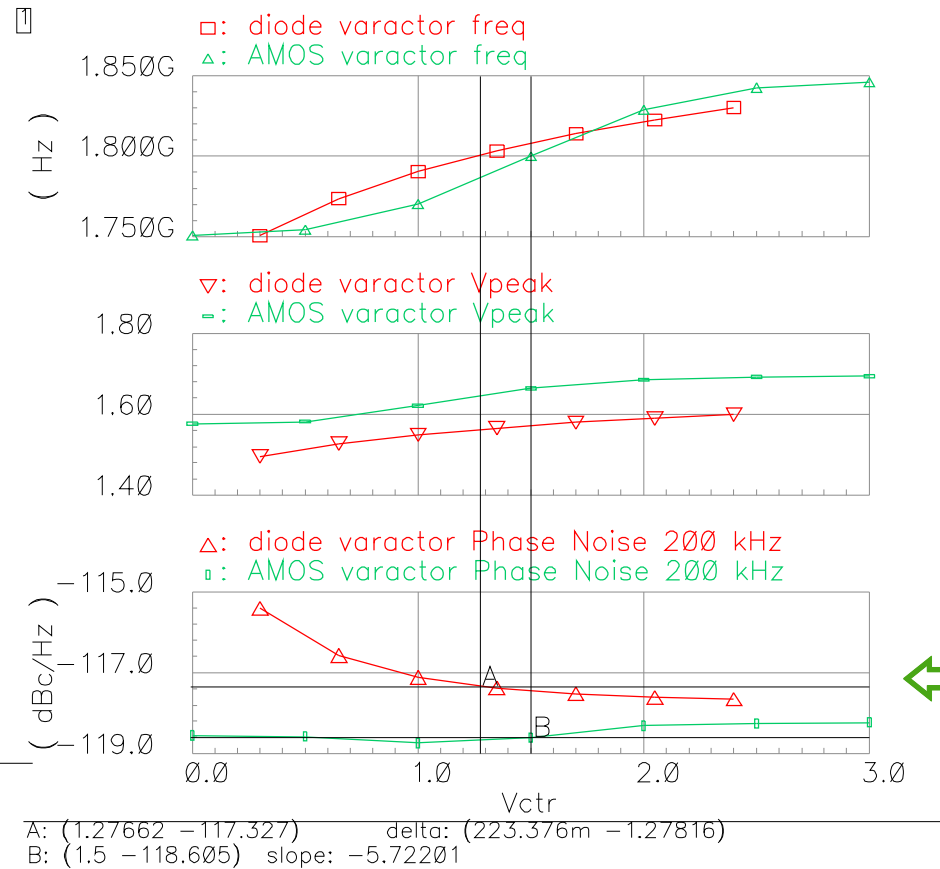
- Topologien + Varaktorarten: PN im gleichen Analog-Tuning-Bereich

– T1 vs. T5
DPVAC vs. **MOSVAC**

Performance Comparison

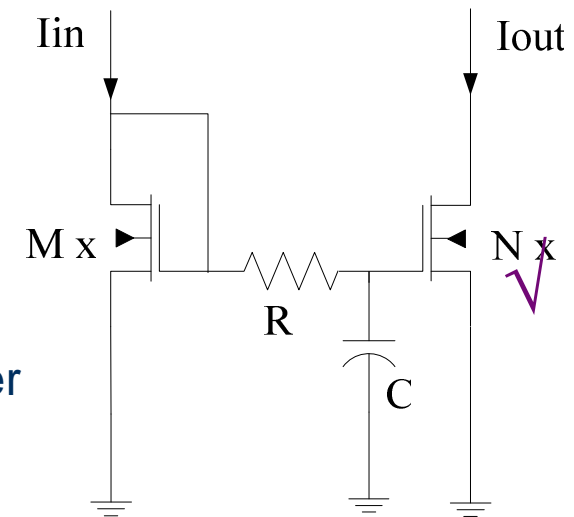
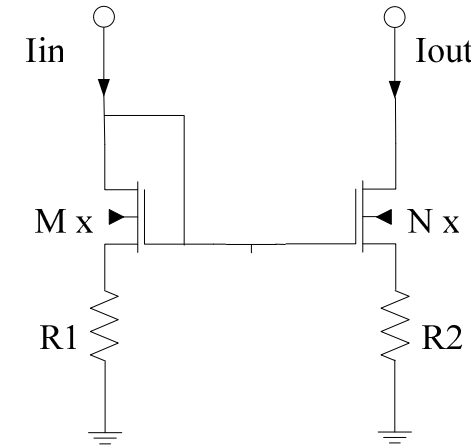


Performance comparison



Low-Noise Stromspiegel-Design

- Ziel: zur Minimierung des Rauschens von I_{supply}
- Geeignete Stromspiegel für gewählte Topologien
 - Bias-Strom-Generator mit PMOS-Ausgang
 - T5 : NMOS, T1: NMOS/PMOS
- Rausch-Mechanismus
 - Optimale Transistor-Dimensionierung
 - $L \uparrow \rightarrow$ Flicker-Noise \downarrow
 - $g_m \downarrow \rightarrow$ Thermisches Rauschen \downarrow (Schaltung)
 - Filter-Effekt zwischen Ein-/Ausgang (Schaltung)
 - Simulationsergebnisse: mit geeignetem L
 - Filter-Effekt $>$ minimales g_m
 - Gate-Source-Kapazität $>$ extra Kondensator
- Groß-Transistor-Stromspiegel mit Rücksicht auf $V_{dsat,ss}$
- 3. Topologie-Vergleich
 - T5 (MOS varaktor, NMOS-Stromspiegel)
- Design-Optimierung
 - I_{supply} : Digitale Einstellung des Stromspiegels
 - Schnelles Ein-/Ausschalten: Standby & MOS-Schalter



Buffer-Design

- LC-VCO Buffer

- Zum Treiben verschiedener Ausgänge
- Wenig Rauschen

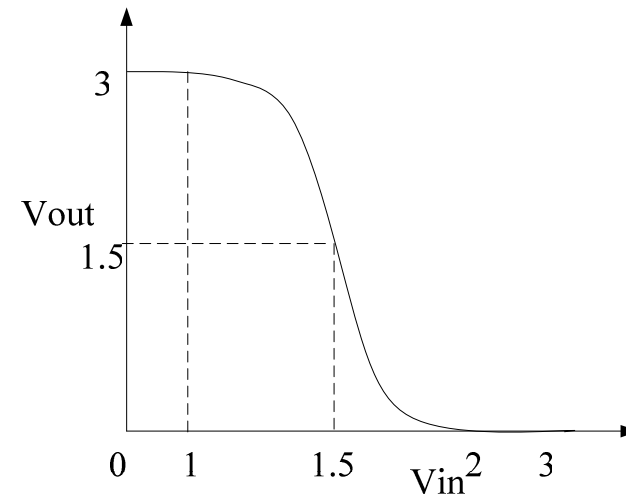
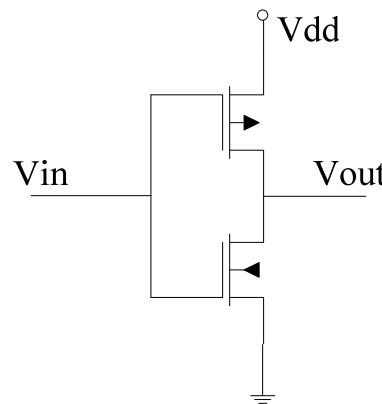
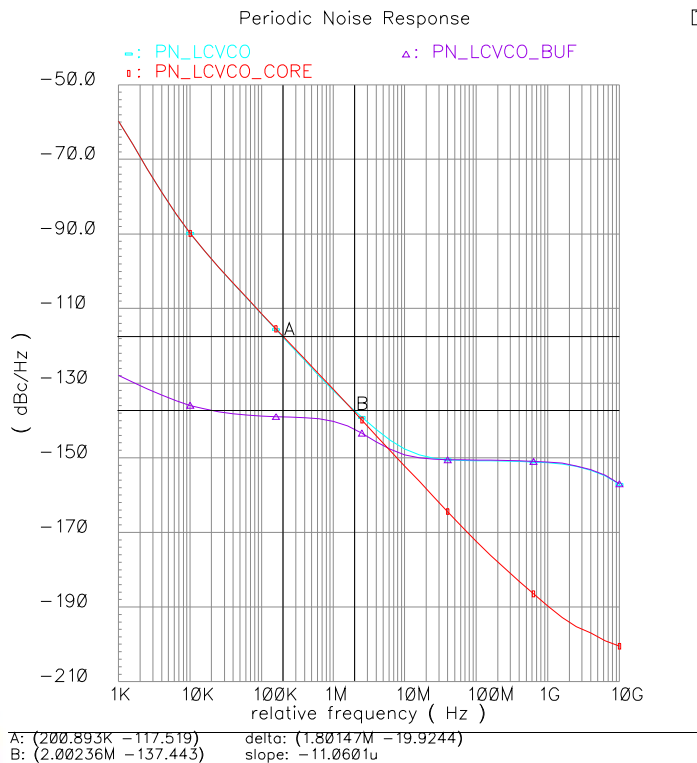
- Ergebnis: keinen Einfluss Noise Floor

- Digital Buffer

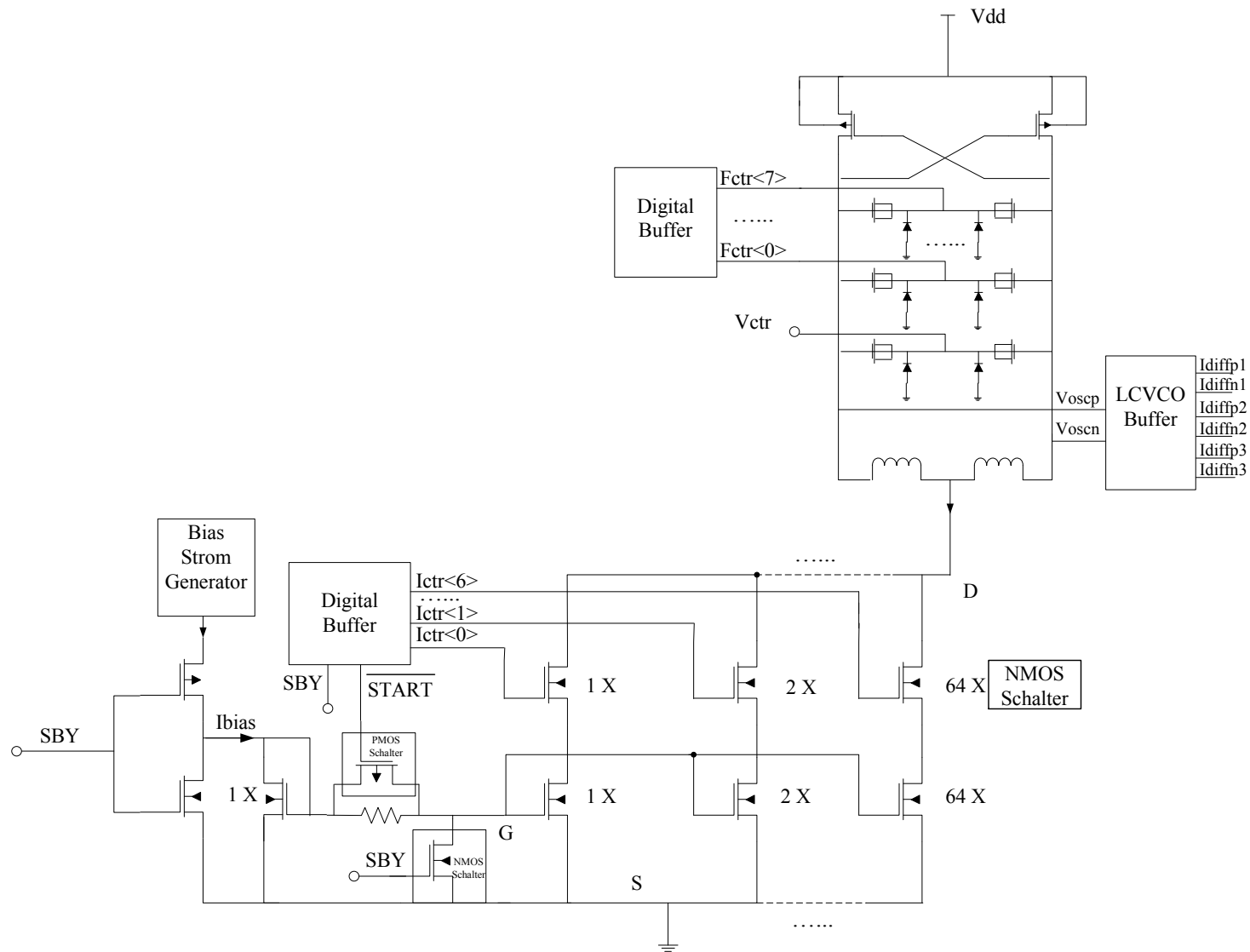
- Zur Unterdrückung von Störungen in digitalen Eingangssignalen

- Schaltung

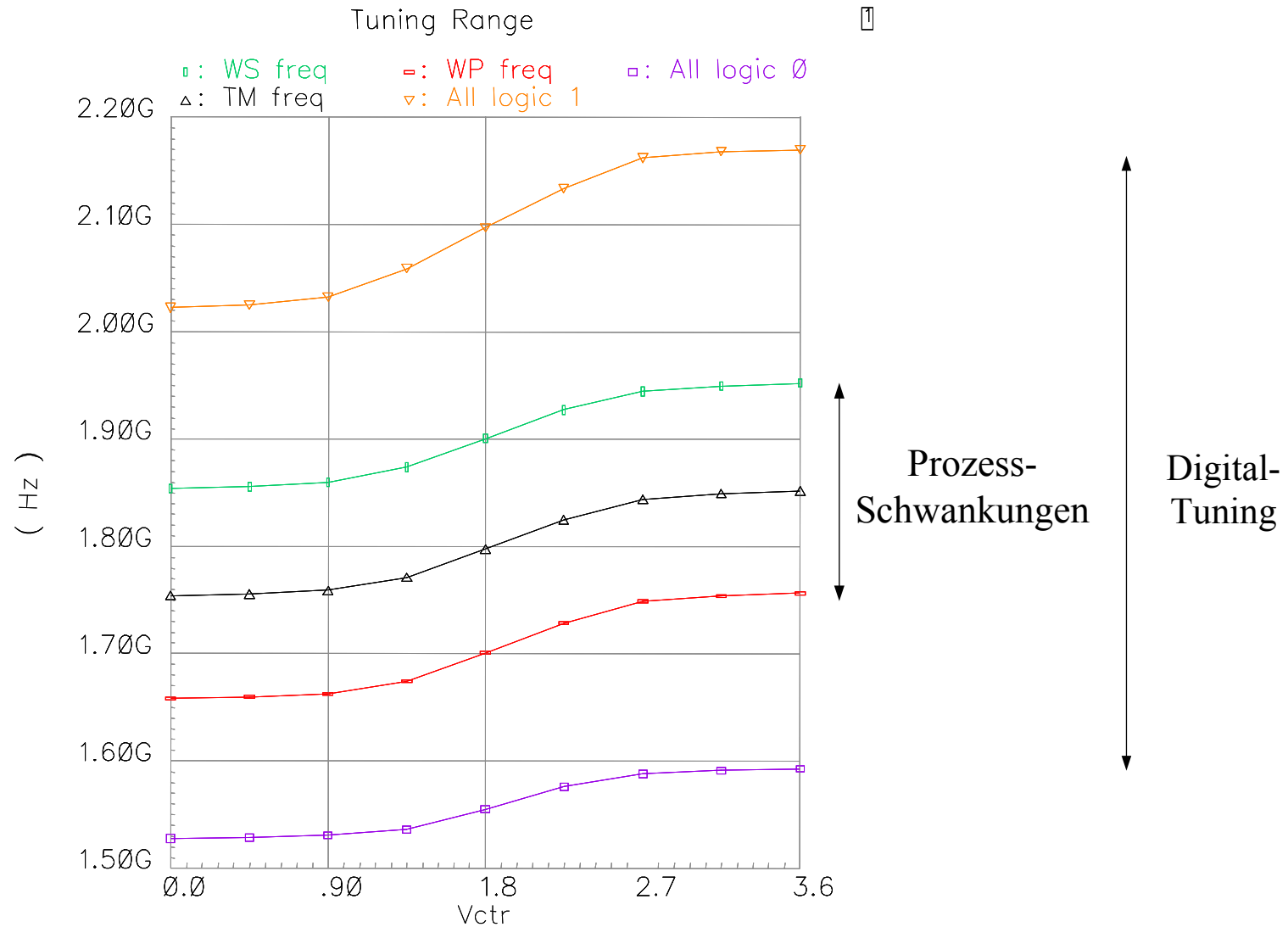
- 2 CMOS Inverter in Serie



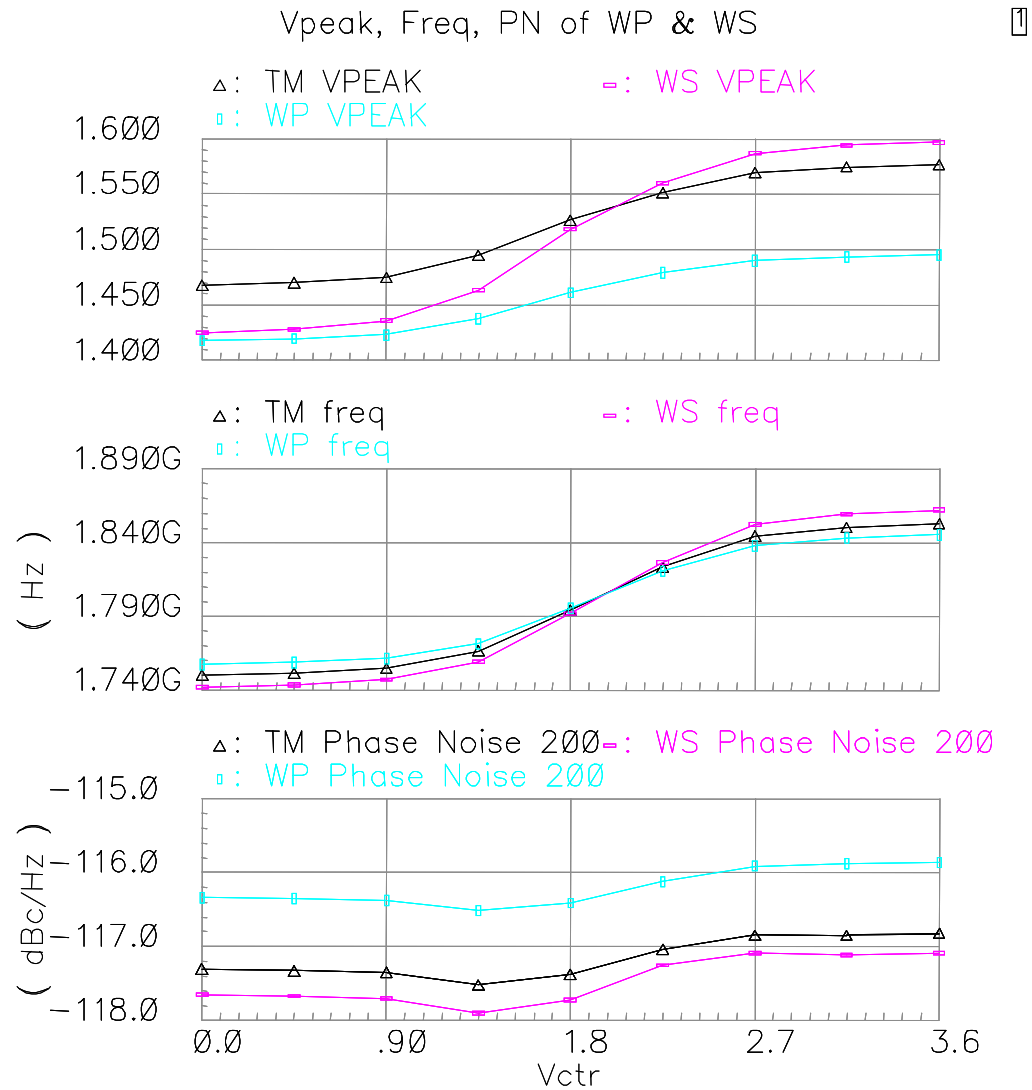
Schaltung: LC-VCO mit Buffer



Simulation: Digitaler Tuningbereich



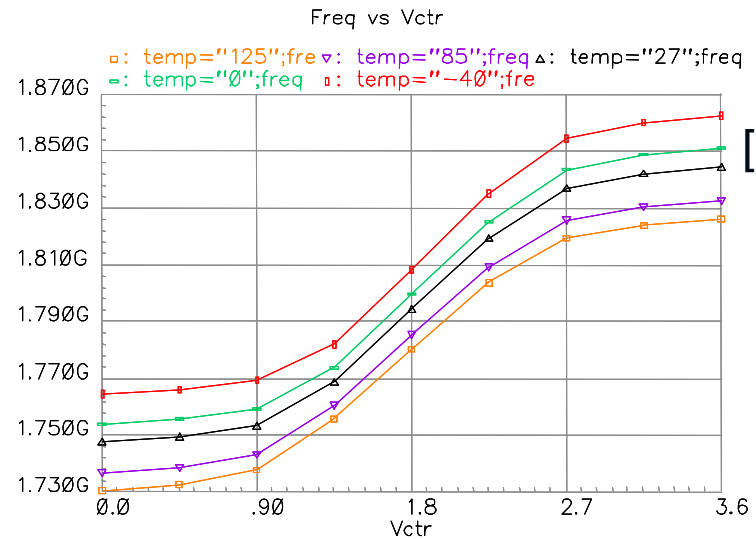
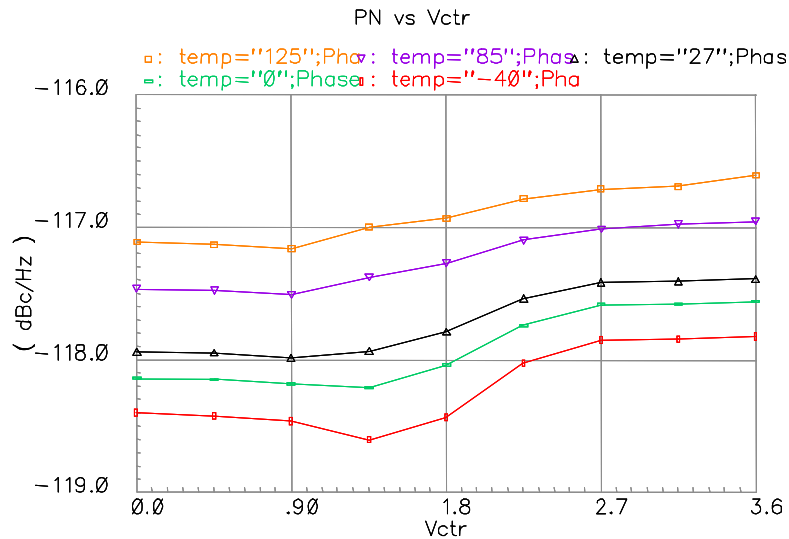
Simulation: Ausgleich der Prozess-Schwankungen



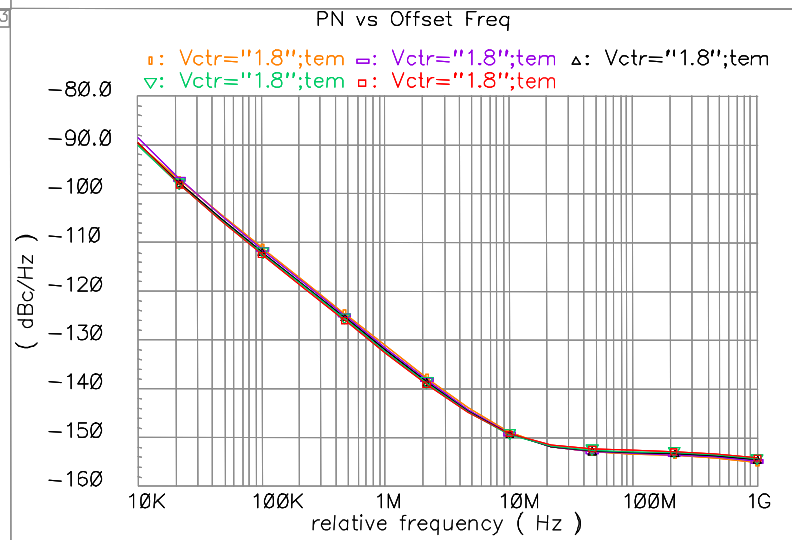
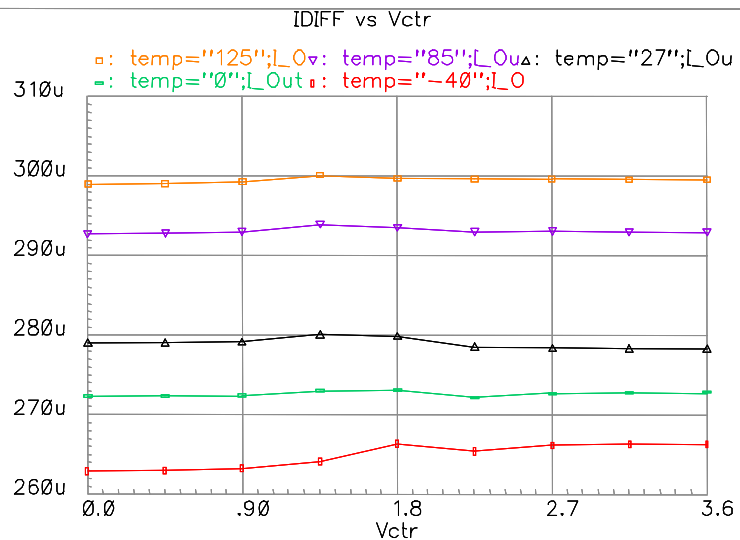
Min. Analog-Tuning-Bereich:
WP

Max. Phasenrauschen:
WP

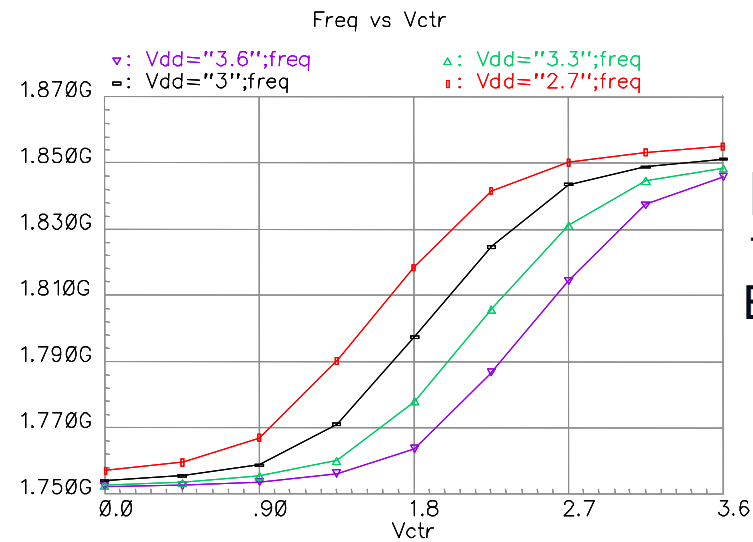
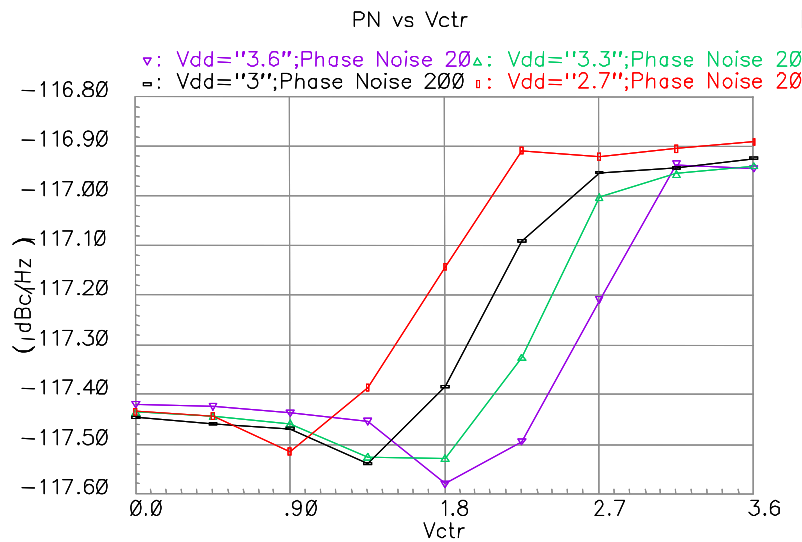
Simulation: Temperaturabhängigkeit



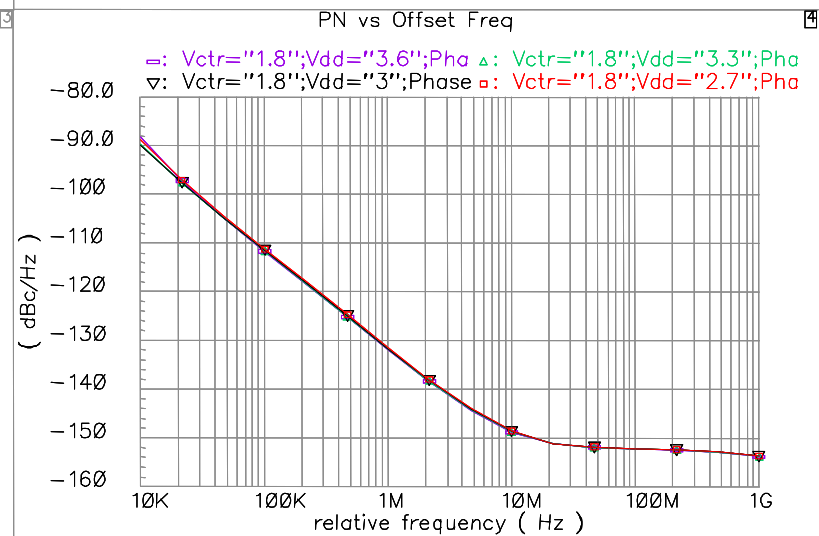
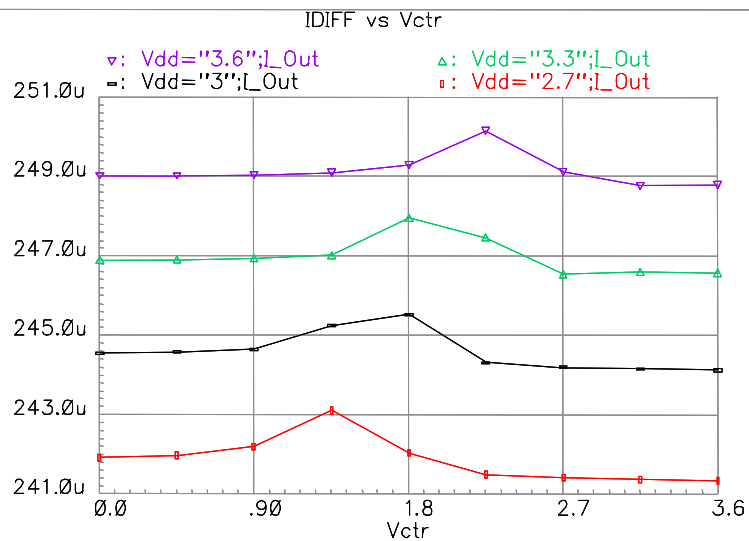
[-40, 125] °C
 Frequenz-
 Änderung:
 30MHz,
 1.7% von
 1.8 GHz



Simulation: Betriebsspannungsabhängigkeit

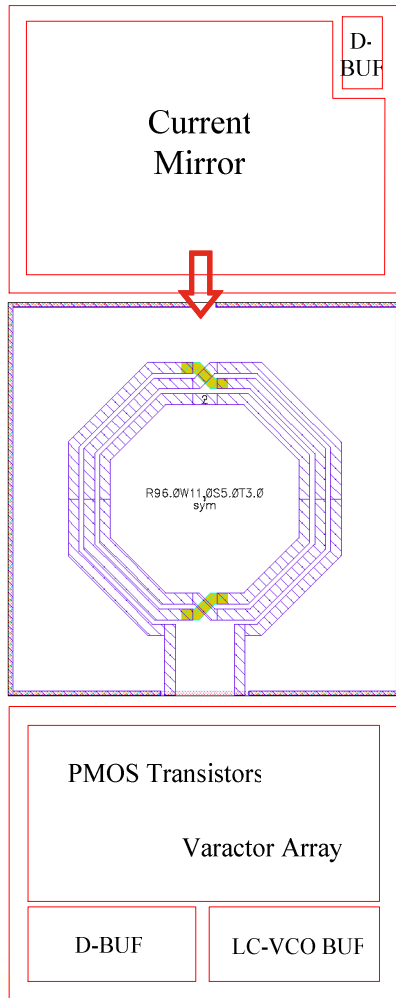


[2.7, 3.6] V
fast keinen
Einfluss auf
PN & Freq

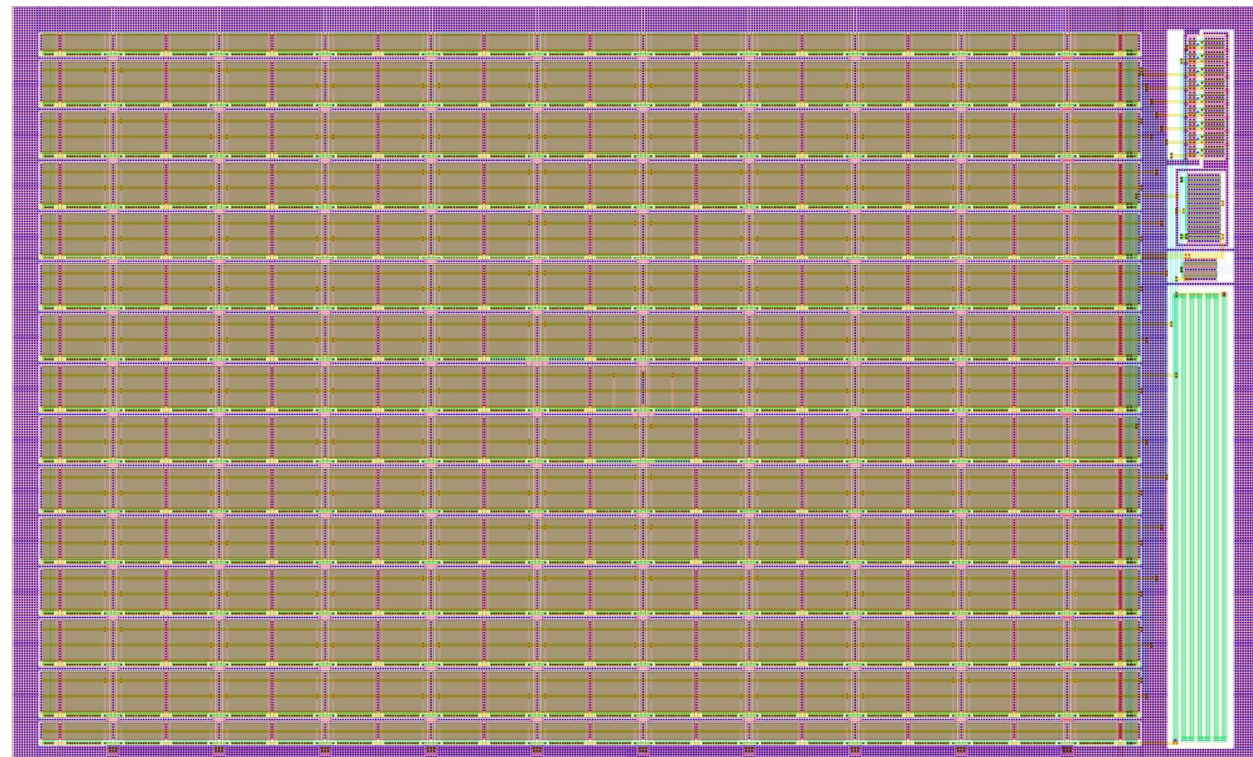


Layout des LC-VCOs

- Layoutkonzept



- Oberer Teil des Layouts
 - Common-Centroid-Layout
 - Symmetrische Verteilung der horizontalen Leitungen
 - Dummy-Struktur am Rand



Zusammenfassung

- Vergleich des Designs mit der Spezifikation

Parameters	Specification Requirements	Design Results
Center frequency	1.8 GHz	1.8 GHz by digital tuning
Phase noise at 200 kHz	-114 dBc/Hz	-115.3 dBc/Hz worst case
Analog tuning range	80 MHz	88.0842 MHz worst case
Operating voltage	2.7 V - 3.6 V	2.7 V - 3.6 V
Consumed current	-	10 mA
Temperature	-40°C - 125°C	-40°C - 125°C
Physical dimension (W*L)	-	400 um * 879.9 um ^a
On-chip size	-	0.35196 mm ²

^awith an estimation of the size of the rest layout

- Die Spezifikation ist erfüllt.
- Arbeiten nach der Masterthesis:
 - Abschluss des Layouts, Testchip-Entwurf

Danke für Ihre Aufmerksamkeit!